

DOI:10.13232/j.cnki.jnju.2026.03.014

半导体用主流金属前驱体的现状及发展

王孝进^{1¶}, 胡昌明^{2,3¶}, 乔 玮^{2,3¶}, 王博文², 罗文娇², 鞠焜先³, 黎书华³, 顾金楼^{1*}, 杨 敏^{2*}

(1. 华东理工大学, 上海, 200237; 2. 江苏南大光电材料股份有限公司, 苏州, 215000; 3. 南京大学化学学院, 南京, 210023)

摘 要: 根据在集成电路制造中的不同应用, 半导体用金属前驱体主要分为两大类, 即用于高介电常数薄膜的高 k 前驱体和用于金属层薄膜的金属层前驱体. 当互补金属氧化物半导体 (Complementary Metal-Oxide-Semiconductor, CMOS) 器件的特征尺寸缩小至 45 nm 以下时, 二氧化硅 (SiO_2) 作为栅介质材料已经无法满足器件性能和功耗的需要, 用金属高 k 材料替代 SiO_2 是必然选择. 目前, 在逻辑电路中主要使用氧化铪 (HfO_2) 和 SiO_2 叠层, 匹配偶极层氧化镧 (LaO_x); 动态随机存取存储器 (Dynamic Random-Access Memory, DRAM) 存储芯片使用的是由过去的氧化锆/铝/氧化锆 ($\text{ZrO}_2/\text{Al}/\text{ZrO}_2$) 叠层结构转化为以 $\text{Zr}_x\text{Hf}_y\text{O}$ 为主体并搭配其他金属高 k 叠层或掺杂的多元结构. 然而, 高 k 介质材料的固有权衡关系是高的介电常数会伴随小的带隙, 因此需要通过掺杂, 形成三元及以上的多元体系, 利用单一材料的高 k 值或者高带隙特性形成性能互补. 此外, 随着技术节点的缩小, 先进金属层的重要性日益凸显. 例如, 氮化钽 (TaN) 凭借其优异的扩散阻挡能力和热稳定性, 用于后道互连阻挡层. 钼 (Mo) 凭借其低电阻率和良好的尺寸微缩能力, 成为 NAND 存储芯片中极具潜力的金属层材料. 为了满足先进制程需求, 金属层前驱体必须具备高纯度、高挥发性、高稳定性、高反应性的特点, 且与相邻材料具备良好的界面兼容性. 基于过去的研究成果, 总结了现有工艺路线常用的高 k 和金属前驱体及相关的品质和包装钢瓶特点, 并依照现有的最新研究和产业路线, 对将来半导体用高 k 和金属前驱体的发展方向做出一定的预判, 希望对现有的产业提供一定的引导, 最终为开发可产业化的新型金属高 k 前驱体材料提供参考.

关键词: 半导体材料, 先进制程, 高 k , 金属前驱体, 产业化

中图分类号: O472

文献标志码: A

Current status and development of mainstream metal precursors for semiconductors

Wang Xiaojin^{1¶}, Hu Changming^{2,3¶}, Qiao Wei^{2,3¶}, Wang Bowen²,

Luo Wenjiao², Ju Huangxian³, Li Shuhua³, Gu Jinlou^{1*}, Yang Min^{2*}

(1. East China University of Science and Technology, Shanghai, 200237, China; 2. Jiangsu Nata Opto-Electronic Material Co., Ltd., Suzhou, 215000, China; 3. School of Chemistry, Nanjing University, Nanjing, 210023, China)

Abstract: Based on their different applications in integrated circuit manufacturing, semiconductor metal precursors are primarily divided into two categories: high- k precursors for high- k thin films and metal layer precursors for metal layer thin films. As Complementary Metal-Oxide-Semiconductor (CMOS) device feature sizes shrink below 45 nm, SiO_2 can no longer meet the performance and power consumption requirements as a gate dielectric material, making the replacement of SiO_2 with metal high- k materials an inevitable choice. Currently, $\text{HfO}_2/\text{SiO}_2$ stacks paired with a dipole layer LaO_x are predominantly used in logic circuits, while DRAM memory chips have transitioned from the previous $\text{ZrO}_2/\text{Al}/\text{ZrO}_2$ stack structure to a multicomponent system based on $\text{Zr}_x\text{Hf}_y\text{O}$, combined with other metal high- k stacks or dopants. However, an inherent trade-

¶: 以上作者对本研究的贡献相同

基金项目: 江苏省基础研究计划重点项目 (BK20243027)

收稿日期: 2026-01-13

* 通信联系人, E-mail: yangm@natachem.com, jinlougu@ecust.edu.cn

off of high- k dielectric materials is that a high dielectric constant is accompanied by a small band gap. Therefore, doping is necessary to form ternary or more complex multicomponent systems, leveraging the high- k value or high band gap characteristics of individual materials to achieve complementary performance. Additionally, as technology nodes shrink, the importance of advanced metal layers is increasingly prominent. For example, TaN is used as a barrier layer in back-end-of-line interconnects due to its excellent diffusion barrier properties and thermal stability. Mo, with its low resistivity and good scalability, has become a promising metal layer material in NAND memory chips. To meet the demands of advanced processes, metal layer precursors must possess high purity, high volatility, high stability, high reactivity, and good interfacial compatibility with adjacent materials. Based on past research achievements, this paper will summarize the high- k and metal precursors commonly used in existing process routes, along with related quality and packaging cylinder requirements. Furthermore, following the latest research and industrial roadmaps, it will provide some predictions regarding the future development directions of high- k and metal precursors for semiconductors, aiming to offer guidance for the existing industry and ultimately facilitate the development of novel metal high- k precursor materials suitable for industrialization.

Keywords: semiconductor materials, advanced processes, high- k gate, metal precursors, production

在全球新一轮科技革命和产业变革的今天,以高端集成电路芯片为核心的新一代信息技术及其产业化处于基础和关键地位.与世界先进水平相比,我国高端集成电路产业技术在设备和材料方面存在显著差距,严重依赖进口,这使得一些核心制程存在“搁浅”风险,甚至威胁国家信息安全.5G应用、云计算、高端性能存储、人工智能等新一代信息技术都缺乏“核心”支撑.华为技术有限公司主要从台积电代工处购买高端芯片,并因此受到美国政府相关政策的严重制约,就是这一问题最有力的证明^[1].

经过50多年的发展,集成电路技术已成为工业文明最先进的技术之一,并带动形成了一个巨大的产业,该产业主要分布于欧洲、北美及亚太地区,行业内还形成了以英特尔、三星、台积电、高通为代表的龙头企业.其中,美国企业占据领先地位,在全球20强半导体制造商中占九家,其余包括三家日本企业、三家欧洲企业、两家韩国企业和三家中国台湾企业^[2].

我国集成电路技术的发展远远落后于国际水平.我国最先进的逻辑和存储芯片,与美、日、韩以及中国台湾地区的量产技术相比,有约两代的差距.该差距不仅体现在设备方面,还包括多种关键材料,尤其是在芯片中产生功能的金属前驱体材料.鉴于“一代技术,一代材料”,我国高端集成电路产业若要赶上国际先进水平,关键在于要优先发展“高纯金属前驱体材料”.其主要目标是

立足“进口替代”,着力解决“卡脖子”难题,持续研发具有自主知识产权且能引领世界技术方向的创新产品与新技术;建立国际领先的分析测试平台,掌握关键核心技术,打造具有国际竞争力的高纯电子材料产业.

1 国内外集成电路产业发展现状

集成电路技术的发展遵循摩尔定律,在容纳晶体管数量和处理性能指数增长的同时,器件的制程工艺和材料经历了多次变革(图1).栅极是晶体管最重要的结构单元,在晶体管的开关功能中发挥着主要作用,由栅极绝缘层(简称为“Gate Oxide”)和栅电极(Gate Electrode)组成.20世纪50年代,以锗为基础材料的半导体晶体管取代了真空管,体积和功耗减小,成为电子器件发展的转折点.在晶体管制造过程中引入硅(Si)和二氧化硅(SiO_2),才带来真正的技术突破.20世纪90年代, SiO_2 ($k=3.9$)因其可扩展性被用作第一代栅介质材料.为了满足更高的 k 值、更宽带隙以及 Si 接触更好的稳定性的需求,在 SiO_2 基础上又先后推出了第二代氮氧化硅栅介质(SiON , $k=5\sim7$)及第三代氮氧化硅铪栅介质(HfSiON , $k=12\sim14$).但是,随着晶体管微缩程度的提升,栅极绝缘层的厚度也亟需减少.传统 SiO_2 介质在厚度低于1 nm时,漏电流会因为量子隧穿效应而急剧增大,导致晶体管失效,因此需要用例如 HfO_2 , ZrO_2 , Al_2O_3 等高 k 材料在不同的应用场景中替代

传统 SiO_2 在 2005 年前后,基于多晶硅栅极/ SiON 氧化物层的逻辑半导体传统微缩技术在性能提升上面临瓶颈,这是因为 SiON 栅氧化层的厚度难以进一步减小. 为了克服这一局限,并顺应逻辑晶体管行业的发展趋势,许多具有颠覆性的创新技术被开发出来^[3],高 k /金属栅极(High- k Metal Gate, HKMG)技术正是其中推动逻辑晶体管技术实现重大创新的关键. 借助 HKMG 技术,一层极薄的高 k 薄膜可以取代晶体管栅极中的 SiON 栅氧化物层,在有效防止泄漏电流的同时提高了可靠性. 此外,通过减小厚度,还可以实现持续微缩,从而显著减少泄漏并改善基于多晶硅/ SiON 的晶体管的速度特性. 通常情况下,基于 Hf 的栅氧化物层可以用在高温半导体制造工艺中,因为它们能确保自身和 Si 的热稳定性. 为了防止多晶硅电极材料与高 k 栅氧化物层之间发生相互作用,必须引入金属电极来代替多晶硅. 这项将高 k 栅介质与金属栅电极相结合的集成方案,即

高 k /HKMG 技术应运而生.

1.1 半导体 28 nm 制程与 HKMG 技术 集成电路工艺节点一般是指在集成电路加工过程中的“特征尺寸”. 尺寸越小,处理级别越高,常见的节点包括 90, 65, 45, 28, 14 nm 等. 随着器件尺寸减小至 45 nm 及以下,栅极电介质层 SiON 的厚度需小于 2 nm. 为了抑制由此产生的栅极漏电流,通常使用高 k 电介质材料 HfO_2 和 HfSiON 来代替 SiON 作为栅极氧化物层^[2,4-5].

回顾 50 年来集成电路的发展,芯片领域的各项成就和产品附加值的提升主要源于半导体制造技术的不断进步. 得益于工艺技术的持续精进及新技术的不断涌现,芯片集成度得以快速攀升,单位电路成本也因此呈指数级下降. 集成电路技术的进步通常通过微加工精度和芯片集成度来衡量,前者是指工艺水平,而后者是指单个芯片中包含的晶体管数量. 根据芯片上特征尺寸的变化,以硅片上的最小特征尺寸(即关键尺寸)为标准,

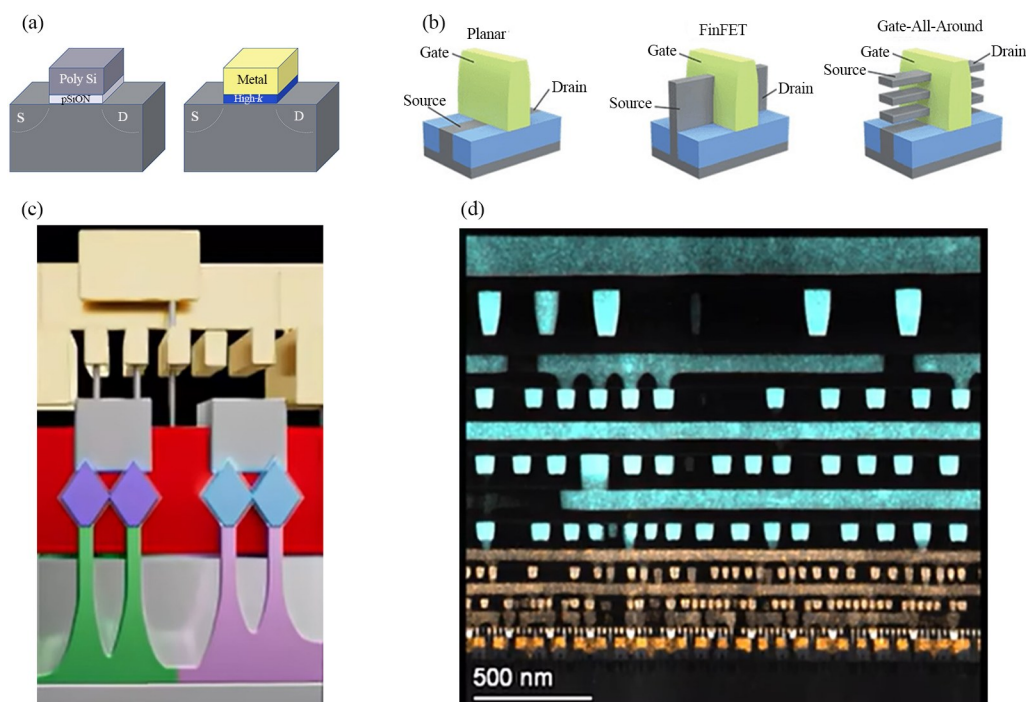


图1 (a)标准硅晶体管与高 k 金属栅极晶体管的构造示意图;(b)高 k 栅极从平坦化、FinFET 到 GAA 的发展路线图;
(c)目前先进 FinFET 工艺的示意图;(d)先进工艺逻辑芯片的内部放大图

Fig. 1 (a) Schematic illustration of the structures of standard silicon transistors and high- k metal gate transistors, (b) development roadmap of high- k gates: from planarization, FinFET to GAA, (c) schematic diagram of current advanced FinFET processes, (d) magnified view of the internal structure of an advanced process logic chip

自 20 世纪 60 年代以来,全球集成电路生产线的主要技术节点已经从微米级、亚微米级、深亚微米级发展到纳米级。目前,全球集成电路生产的最高水平已达 2 nm,主流生产线技术则处于 28 nm 阶段。同时,晶圆尺寸也从 3 英寸、4 英寸、5 英寸、6 英寸和 8 英寸发展到目前的 12 英寸,18 英寸晶圆技术也处于研发过程中^[6]。当然,随着工艺技术的快速进步,集成电路产品的整体性能也在逐步提高。

使用 HKMG 技术是为了应对集成电路制造工艺进入 45 nm 技术节点后面面临的挑战。长期以来,集成电路行业致力于优化 PPAC,即性能(Performance)、功耗(Power)、面积(Area)与成本(Cost)的综合指标。然而,与之相关的工艺节点却遇到了挑战。在早期工艺中,栅极采用铝(Al)金属,其支撑结构为 Al/纯 SiO₂。随后,业界开发并转向了多晶硅栅极,但初始的栅极结构仍是多晶硅/纯 SiO₂。经过一段时间的发展,该结构演进为多晶硅/SiON。最后,在进入 45 nm 技术节点时, HKMG 技术开始被采用^[7-8]。

自 2015 年中芯国际成功量产 28 nm 产品以来,我国集成电路产业化技术已进入 28 nm 工艺的高端主流工艺节点。作为 28 nm 工艺的主要技术方向之一,“金属栅极+高 k ”栅极结构的使用可以有效解决弱栅极介质导致的漏电流或多晶硅栅极耗尽等一系列问题,显著提升器件性能。因此, HKMG 工艺大多应用于以计算速度为导向的高阶电子产品,如 CPU、FPGA、存储器等。

鉴于我国集成电路制造商在 28 nm 的量产能上仍落后于全球先进水平,发展 HKMG 工艺技术已成为国内集成电路行业关注的焦点。HKMG 工艺在半导体行业中分为两大阵营:一是以 IBM 为代表的 Gate First 工艺技术,其特点是在完成漏极/源极区离子注入操作以及后续在硅片上的高温退火步骤之前产生金属栅极;二是以英特尔为代表的后栅极工艺技术,其特点是在完成漏极/源极区离子注入操作以及后续高温退火步骤后形成金属栅极。其中,后栅极工艺因功耗低、泄漏少、性能稳定等特点,被各大代工晶圆广泛应用。

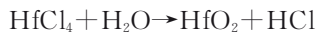
受限于 20 nm 以下制程的技术瓶颈与高昂成本,28 nm 节点被业界视为一个长生命周期节点,

并拥有长期活跃的市场需求^[9]。尽管我国已经成功实现 28 nm 工艺产品的大规模量产,但如果要在世界 IC (Integrated Circuit) 制造市场上保持竞争力,就必须不断提高技术标准和产能。

除核心工艺流程外,还有一些关键技术同样不容忽视,如浅沟槽(Shallow Trench Isolation, STI)^[10]、源极-漏极结构^[11]、衬底区域划分或功能层构建和 Al 栅极 CMP (Chemical Mechanical Polishing)^[12]。基于专利分析和技术实践,在 28 nm HKMG 工艺的各项技术中, Al 栅极的 CMP 具备最大的技术开发和专利布局空间,无论是已经实现量产的企业,还是仍处于研发阶段的企业,都应该对此给予足够的重视。通过加强金属栅极 CMP 技术的研发,有望实现我国 28 nm 工艺技术的新突破,进一步提升我国 28 nm 工艺 IC 制造技术水平和全球市场竞争力。28 nm 工艺节点需要的具有高 k 值的金属,主要通过原子层沉积工艺使用金属前驱体来沉积制得。

1.2 原子层沉积工艺及其原理 ALD (Atomic Layer Deposition) 的薄膜生长方法具有独特的能力,可以将复杂的三维物体精确地涂覆在保形层中。ALD 能够实现对沉积物厚度和组成的原子级控制^[13-14]。在 ALD 中,通过气体前体分子和基底之间的交替饱和反应,逐层生长薄膜。几乎任何厚度的膜——从原子单层到微米尺寸,都可以通过在 ABAB... 模式中重复这个反应序列,以原子层的精度制造出来(图 2)。这种交替反应策略消除了物理或化学气相沉积等传统技术的视线或恒定暴露限制。

图 2 给出了使用 Al(CH₃)₃ 和 H₂O 作为试剂的 Al₂O₃ 的形成循环。在 HfO₂ 薄膜沉积反应中,存在两种可能的反应,均使用四氯化铪(HfCl₄)作为前体,但使用不同的试剂——H₂O 或 O₃。反应方程式如下所示^[15]:



这些都是沉积金属的典型方法。然而,使用不同的金属有不同的形式。

1.3 常用的金属高 k 前驱体

1.3.1 逻辑芯片用金属前驱体 随着不同制程的发展,金属前驱体也有一个升级的过程。表 1 展

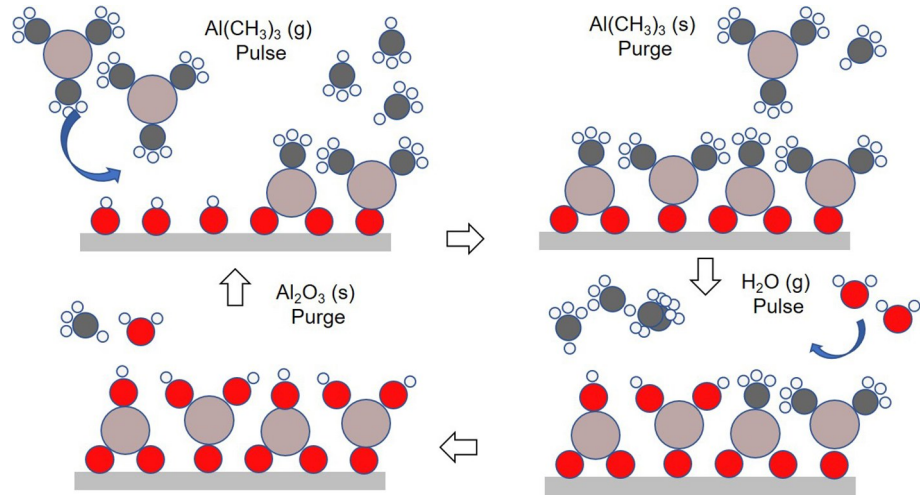


图2 ALD工艺形成Al₂O₃薄膜的示意图

Fig. 2 Schematic illustration of the ALD process for forming an Al₂O₃ thin film

表1 不同技术节点的逻辑芯片用材料

Table 1 Materials utilized in logic devices for different technology nodes

技术节点	导电层材料	绝缘体材料	栅极材料
45 nm 及以上	单晶硅	氧化硅	多晶硅
28 nm	Poly SiON	单晶硅	氮氧化硅
	HKMG	单晶硅	氧化铪
14 nm	单晶硅	氧化铪	碳化铝钛
7 nm	单晶硅	氧化铪	碳化铝钛
5 nm	单晶硅/锗化硅	氧化铪	碳化铝钛

示了从 45 nm 到 5 nm 制程的绝缘体和栅极材料的升级换代.

1.3.1.1 四氯化铪(HfCl₄) - 28 nm 制程 HfO₂ 作为替代 SiO₂ 的新一代高 *k* 栅介质材料而备受关注. 这主要由于其高介电常数(*k*=25)、大的形成热(271 kcal·mol⁻¹)、在 Si 上的良好化学和热稳定性、在与 Si 的界面处的大势垒高度以及与 n⁺ 多晶硅栅极电极的充分兼容性. 据报道, 在 1~1.5 V 的工作电压下, 通过 HfO₂ 介电膜的泄漏电流比 SiO₂ 低几个数量级^[2].

由于 HfO₂ 膜的厚度通常在纳米量级, 工艺参数和前驱体材料是决定膜均匀性和介电性能的关键因素. HfCl₄ 是现代高密度集成电路中制造 HfO₂ 和硅酸铪的金属前驱体, 主要制备方法包括溶胶-凝胶法^[16-19] 和 ALD 技术^[20-21]. Nishide et al^[22] 描述了使用 HfCl₄ 作为前驱体通过溶胶-凝胶

工艺制备 HfO₂ 膜的方法, 制得的膜在 500~550 °C 的烧制温度下保持单斜相, 甚至在 900 °C 也没有观察到其他相. 在使用 HfCl₄ 前驱体与 H₂O 作共反应物的 ALD 工艺中, 反应过程由两个半反应组成: (1) HfCl₄ 与 Hf-OH^{*} 位点反应; (2) H₂O 与 Hf-Cl^{*} 位点交替反应^[20]. 两种中间体的能量都低于最终产物, 络合物的稳定性与温度呈负相关.

一般来说, 常见的 HfCl₄ 合成方法有以下三种: (1) CCl₄ 和 HfO₂ 在 450 °C 以上发生反应, 生成 HfCl₄^[23]; (2) 使用 Cl₂ 或一氯化硫 (SCl) 在 600 °C 以上对 HfO₂ 和碳的混合物氯化生成 HfCl₄^[24-25]; (3) 在 250 °C 以上对碳化铪氯化生成 HfCl₄^[26]. 目前 HfCl₄ 的主流工业化生产方法如下: 首先, 将 HfO₂ 和碳粉分别粉碎后混合均匀并脱水; 然后, 将脱水后的混合物送入氯化炉, 用氯气进行氯化; 反应后, 沸腾床产生的 HfCl₄ 气体经冷凝器处理, 得到 HfCl₄ 固体. 该工艺生产的粗 HfCl₄ 的纯度率可达 98%^[27], 产物中含 Fe, Al, Si, Ti, C 等杂质, 且外观斑驳, 无法达到半导体级前驱体纯度要求. 因此, 在上述生产工艺的基础上, 需在冷凝阶段完成后, 对 HfCl₄ 进行进一步的纯化. 目前, 去除杂质元素的主要方法是利用杂质与 HfCl₄ 的沸点差. 对于沸点接近的杂质, 如 FeCl₃, 可以用 H₂ 还原 (产物 FeCl₂ 的沸点为 700 °C) 来实现分离^[28]. 在此基础上, 将熔盐 (NaCl, KCl, Zr) 混合到粗 HfCl₄ 中, 可以有效提高纯化效率, 避免使用易燃

气体^[29]. 通过进一步优化升华过程中的真空和温度控制, HfCl_4 的纯化可以达到半导体级 (99.999%)^[30].

1.3.1.2 铝钛碳栅极 - 14 nm 及以下制程 14 nm 以后引入了 AlTiC , 使用三乙基铝 (简称为“TEA”) 或三甲基铝 (简称为“TMA”) 和 TiCl_4 , 形成三元掺杂体系. 图 3 展示了使用 TEA 可将 TMA 的功函数从 4.7 降低到约 4.3^[31-32].

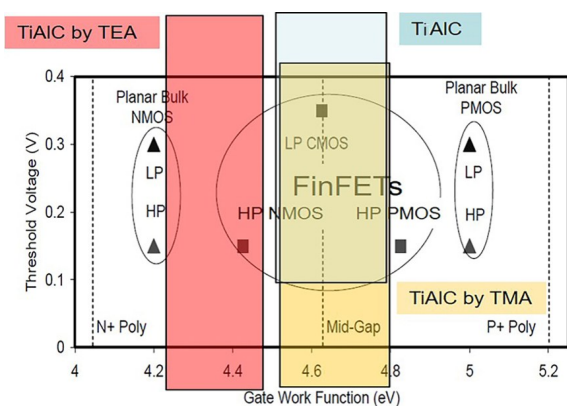


图 3 不同前驱体生产高 k 材料的工艺窗口

Fig. 3 Process windows of high- k materials derived from different precursors

1.3.2 3D NAND 存储芯片高 k 材料^[33] 3D NAND, 也称为三维 NAND, 是一种革命性的闪存技术. 它通过将存储单元 (Memory Cell) 在垂直方向上层层堆叠起来, 极大地提高了存储密度并降低了成本.

目前最常见的 3D NAND 架构是垂直栅极结构 (图 4a). 其中堆叠层是先在 Si 衬底上交替沉积数十到数百层的 SiO_2 和多晶硅, 形成一个“千层糕”式的结构. 这些层之后会被蚀刻成孔洞. 而通道孔是在上述堆叠结构上, 垂直地蚀刻出深达数微米的圆柱形孔洞. 关键层沉积则是在通道孔的内壁上, 依次沉积关键材料, 形成一个“多层管道”. 阻挡层为最外层, 用于阻止电子泄漏. 电荷陷阱层用于捕获和存储电子. 电荷陷阱层通常使用 SiN , 电子被捕获在其中的“陷阱”里. 隧穿层是一个非常薄的绝缘层, 电子通过量子隧穿效应穿过它, 进入或离开电荷陷阱层. 通道则是孔洞的中心用多晶硅填充, 形成垂直的电流通道. 控制栅极就是之前沉积的多晶硅层本身就被用作环绕

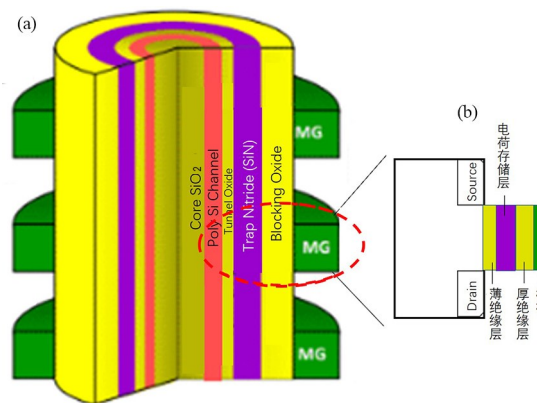


图 4 (a) 长江存储的 Xtacking 3D NAND 技术; (b) 器件结构示意图

Fig. 4 (a) Xtacking 3D NAND technology developed by Yangtze Memory Technologies Co., Ltd., (b) schematic illustration of the device architecture

着通道的控制栅极. 每一层多晶硅都连接着同一层的所有存储单元, 像一个“单词线”环绕着整个“楼层”. 单元操作就是通过对特定的控制栅极 (某一层) 施加电压, 可以控制该层与通道相交的那个特定存储单元进行读取、编程 (写入) 或擦除操作 (图 4b).

3D NAND 使用 AlO_x 作高 k 材料, 前驱体一般为 AlCl_3 或者 TMA.

AlCl_3 被广泛用作有机合成和炼油的路易斯酸催化剂. 近几十年来, 随着燃料电池与半导体技术的发展, 以 AlCl_3 为前驱体, 通过 CVD (Chemical Vapor Deposition) 与 ALD 技术用于制备 Al_2O_3 绝缘膜已受到广泛关注^[34]. 这一应用对高纯度无水 AlCl_3 提出了明确需求. 在无水 AlCl_3 的工业生产中, 通常采用氯化法. 以铝土矿为原料, 将优质煤粉与铝土矿混合成型, 然后在高温下氯化. 当使用金属 Al 作为原料时, 它可以被直接氯化. Cl_2 进入 Al 锭熔池以产生气态 AlCl_3 , 然后在接收器中冷凝以获得纯产品^[35]. 为了获得高纯度的无水 AlCl_3 , 一种可替代且成本低的策略是提高原料、金属 Al 和氯气的纯度. 从经济角度来看, 与 HfCl_4 类似, 更多的策略集中于通过形成由 AlCl_3 和其他氯化物盐 (NaCl 或氯化镨) 组成的混合熔融盐来生产高纯度无水 AlCl_3 的方法. 通过以上方法生产的无水 AlCl_3 的纯度约为 99.9%.

目前,工业生产中的无水 AlCl_3 提纯主要有两种工艺. 一种是冷却塔壁上结晶出来的 AlCl_3 , 经气态从钢铁设备中排出水、硫化氢等杂质后刮取收集. 另一种是在玻璃设备中通过热升华过程进行净化. 前者生产效率较高, 但 AlCl_3 的腐蚀不可避免地会导致铁化合物污染产品的纯度. 后者可以保证纯化, 但生产能力有限. 因此, 使用铝容器进行 AlCl_3 升华可以有效地解决腐蚀问题, 同时满足生产要求^[35].

1.3.3 DRAM的高 k 材料^[36] DRAM (Dynamic Random-Access Memory) 电容包含电极和高 k 介质(图5), 均为ALD金属化合物薄膜, 是ALD金属前驱体的主要应用之一.

表2列出了DRAM中与高 k 材料相关薄膜结构及对应前驱体材料, 例如使用Zr, Al, Hf的三种前驱体, 形成ZAZ结构(图6). 其中, 环戊二烯基锆(CpZr)和环戊二烯基铪(CpHf)作为核心的沉积Hf基和Zr基的High- k 薄膜(如 HfO_2 , ZrO_2 及其

硅化物)的关键源材料, 能有效解决传统 SiO_2 栅介质厚度缩减带来的漏电流问题, 满足摩尔定律延续对等效氧化物层厚度 (Equivalent Oxide Thickness, EOT) 不断微缩的需求. 更重要的是, 相比于常规前驱体, 这类茂金属化合物通常具有更高的挥发性和热稳定性, 能在沉积过程中实现更精确的厚度控制与陡峭的界面过渡, 是制造高性能、低缺陷密度栅极堆叠结构的核心支撑. 图7为CpZr和CpHf的合成路线, 通过苛刻的纯化条件, 才能获得超高纯度(8N)的产品.

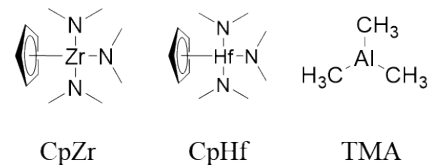


图6 锆、铪、铝前驱体及结构式

Fig. 6 Zr, Hf and Al precursors and their structures

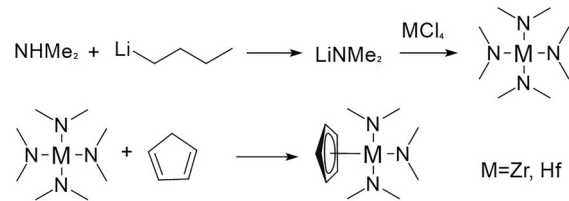


图7 CpZr/CpHf的合成路线

Fig. 7 Synthetic route of CpZr/CpHf

1.3.4 其他可用的前驱体

1.3.4.1 钽(Ta)化合物 铜(Cu)具有低电阻率、高抗电迁移性和导热性, 可以减少互连延迟, 提高电路可靠性, 并作为主要的互连材料广泛应用于集成电路中. 然而, 在传统的Cu互连技术中, 需要在Cu和电介质之间沉积薄膜以防止Cu扩散. 在各种扩散阻挡材料中, TaN具有优异的抗Cu迁移能力、对介电材料的良好黏附性和较强的机械性能, 成为最受欢迎的阻挡材料之一^[37-38]. 随着IC特性尺寸的减小, Cu互连线的宽度也减小. 因此, 必须使用超薄扩散阻挡层来确保互连结构中Cu的高容量比^[39]. 与PVD (Physical Vapor Deposition) 和CVD技术相比, ALD技术在生长超薄膜方面展现出独特优势, 因此在Cu互连的TaN扩散阻挡层制备中得到了广泛应用.

目前, TaN的原子层沉积通常使用Ta卤化

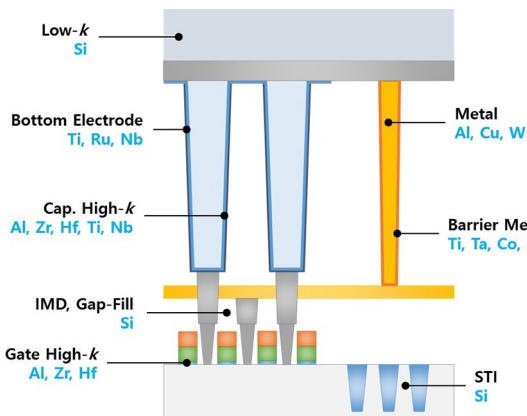


图5 半导体存储器件DRAM的结构及常用的金属前驱体
Fig. 5 Structure of the semiconductor memory device DRAM and commonly used metal precursors

表2 在DRAM中高 k 材料相关薄膜结构及对应前驱体材料

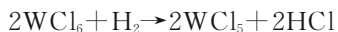
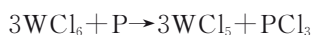
Table 2 High- k material-related thin film structures and corresponding precursor materials in DRAM

ALD薄膜	薄膜组成	功能	前驱体材料
氮化钛	TiN	电极	TiCl_4
氧化铝	Al_2O_3	高 k 介质	TMA
氧化锆	ZrO_2	高 k 介质	CpZr
氧化铪	HfO_2	高 k 介质	CpHf

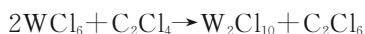
物 (TaF_5 , TaCl_5 和 TaBr_5)^[40-41] 和有机金属 Ta ($\text{Ta}[\text{N}(\text{C}_2\text{H}_5)_2]_3[\text{NC}(\text{CH}_3)_3]$, TaN)^[42-45]. 同时, 在分子结构更简单、蒸气压更高(60 °C时为 13.3 Pa)的情况下^[46], 选择 $\text{Ta}[\text{N}(\text{CH}_3)_2]_5$ (缩写为“PDMAT”)为前驱体, NH_3 等离子体为反应物, 能够制备高密度的 TaN 薄膜. PDMAT 也是制备 Ta_2O_5 薄膜的前驱体.

目前, 合成 PDMAT 的方法是在烷烃($n \geq 6$)中、正丁基锂存在的条件下, 在低温($-30 \sim 0$ °C)环境中, 使 TaCl_5 与二甲胺反应, 在蒸发溶剂之后, 通过在低压(50~300 Pa)下升华来纯化获得的产物. 上述烷烃通常为已烷或庚烷^[47].

1.3.4.2 钨(W)化合物 五氯化钨是一种无机化合物, 化学式为 WCl_5 . 晶体为单斜晶系, 呈针状深绿色. 作为钨与氯的原子比为 1:5 的稀有化合物, 它具有 W 的价态变化和 Cl 原子分解的独特特性. WCl_5 利用氯自由基的释放和强定时定位可控性的优势, 被视为半导体、太阳能、催化、军事和其他先进技术领域的潜在材料^[48]. WCl_5 有两种主要的合成路线, 一种是在 250~280 °C 下用红磷还原 WCl_6 ; 另一种是在 380~400 °C 下用氢气还原 WCl_6 . 化学反应式如下:



在第一种方法中, 在 410~425 °C 下加热 WCl_6 , 同时将氢气吹扫到石英管中进行还原. 由于同时产生氯氧化钨化合物和低价态的 WCl_4 , WCl_3 , WCl_2 副产物, 最终产物 WCl_5 需要通过在氮气流中升华来提纯, 然后储存在封闭的管中. 第二种方法是使用四氯乙烯作为还原剂, 反应式为:



该反应在油浴中进行, 并置于装有 100 W 灯泡的真空室中照射. 通过改变照射强度和温度, 使最初产生的红棕色溶液变为蓝绿色, 最终生成精细的深色粉末, 即 WCl_5 .

1.4 金属前驱体纯化方法和纯度目标 由于前驱体纯度对膜质量的重要性, 特别是在 III~V 族 CVD 技术中, 业界已经努力将前驱体金属纯度提高到 99.9999%. 前驱体纯度的提高, 特别是在 20 世纪 80 年代, 对化合物半导体工业的发展至关重要. 升华、重结晶、分馏(或蒸馏)、制备色谱法以

及从反应性熔体如镓或钠/钾合金中蒸馏金属-有机络合物, 都是传统的纯化过程. 使用诸如蒸馏之类的程序从有机金属化合物中去除痕量金属和有机污染物可能是有问题的, 尤其是当污染物具有与有机金属化合物(例如 $[\text{R}_4\text{Si}]$, $[\text{R}_2\text{Zn}]$ 等)接近的沸点时. 这加速了几年前“配合物纯化”方法的开发, 该方法需要合成不稳定的(路易斯酸-路易斯碱)加合物作为纯化过程中的中间体. 金属有机前体的性质和纯度对通过 CVD 或 ALD 生长的半导体层的电学和光学性质至关重要. 将本征杂质(如碳)掺入层中在很大程度上受金属有机化合物的性质及其分解特性的影响, 而外源杂质(如 Si、Zn、溶剂等)可能会随着合成和纯化所用方法的不同而变化. 原则上, 任何在大气压或减压下升华时, 不分解的固体都可以在适当的温度和压力下通过升华进行精制, 如 Al, Co, Cu, Hf, In, Ir, Fe, La, Mg, Mo, Ni, Nb, Ru, Sr, Ta, Ti, W, Y 和 Zr 基固态前驱体材料升华纯化的实例. 在被引入沉积室之前, 这些材料通常具有非常高的熔点和低的蒸气压范围. 为了确定升华的最佳条件, 需要仔细研究化合物的相图或饱和蒸气压曲线. 特鲁顿规则可用于计算压力, 低于该压力时则可出现升华现象.

1.5 包装要求 很多金属前驱体因其固态时的性质, 具有低蒸气压的特点. 因此, 固态前驱体在使用中面临的最大挑战之一是如何产生蒸气压高且稳定的蒸气. 需要注意的是, 前驱体和载气之间的接触面积应该是恒定的, 使用载气的三个参数——温度、压力和流速来计算前体的进料速率. 然而, 在实际的钢瓶的使用过程中, 接触面积会随着钢瓶内储存的金属前驱体原料的消耗发生变化.

最常见的钢瓶, 通常使用耐腐蚀不锈钢(316 L)作为本体材料. 为了解决使用过程中前驱体低蒸气压的难题, 业界解决方案主要集中在两个方面: (1) 增加与载气接触的表面积; (2) 增加载气通过的长度.

1.5.1 固态前驱体的多层钢瓶 将固态前驱体输送到 CVD 室的过程中通常存在一系列问题, 如“隧道效应”, 即在固态源蒸发的情况下, 载气总是向阻力最小的方向流动, 载气与前驱体之间的接

触不足会导致蒸气不饱和或前驱体蒸气的浓度不稳定,最终导致薄膜缺陷。此外,由于固态前驱体的消耗和黏附的固体颗粒形成的沟槽流,会使载气和固态源之间的接触时间显著减少^[49]。

为了解决这个问题并提高固态前驱体的利用率,如图8所示,发明人提供了一种提高蒸气压的替代方法^[50]。简言之,在前体的包装鼓中安装多个托盘,托盘依次上下堆叠,托盘上设有多个周向间隔的刻痕部分。在操作过程中,固态前驱体被均匀地装载在挥发性区域相对稳定的托盘上的储存腔中。载气通过载气入口引入,固态前驱体蒸气与载气混合以形成稳定的浓度。将混合蒸气连接到蒸气出口的反应室,以实现固态前驱体的稳定供应。几个储存腔是独立的,有利于固态前驱体的稳定挥发。托盘中气体通道环的形成允许长气流路径与固态前驱体充分混合,并减缓气流速度。

1.5.2 固态前驱体的单层钢瓶 固态前驱体容器和加热元件构成标准的固态前驱体传输系统。惰性载气可以通过容器的入口和出口流过容器。前驱体蒸气由载气通过容器出口输送到反应室。当载气暴露于固态或液态前驱体时,为了促进载

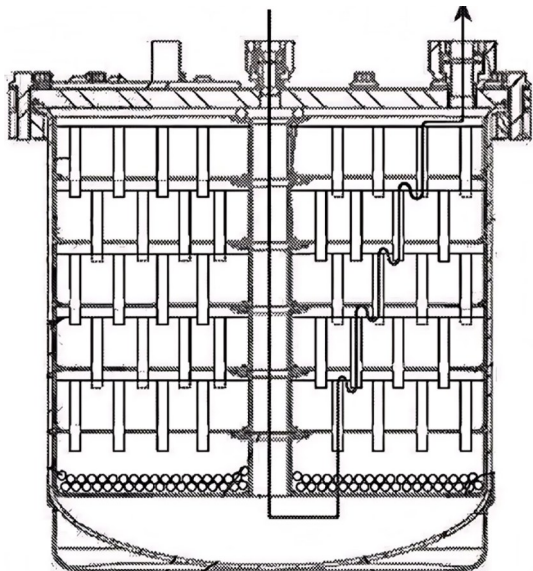


图8 采用多层独立托盘与存储腔体设计的固态前驱体钢瓶结构示意图(参见文献[50])

Fig. 8 Schematic diagram of the solid precursor cylinder structure with a multi-layer independent tray and storage cavity design (Ref. [50])

气的运动,可以提供弯曲或蜿蜒的流动路线,如图9所示^[51]。通常,前驱体源容器包含从入口到输出的管道、管道上的隔离阀以及阀门上的配件,该配件用于连接到设备的其余部分的气流管线。为了避免前驱体蒸气在这些部件上冷凝或沉积,通常需要提供一些额外的加热器来加热前驱体源容器和反应室之间的各种阀门和气流管线。

1.6 质量控制 为了定量检测金属有机前驱体中的痕量金属污染物,需要特殊且极其灵敏的分析程序。用于检测痕量金属的最广泛使用的技术是电感耦合等离子体质谱法(ICP-MS)和电感耦合等离子体发射光谱法(ICP-OES)。这些方法能够检出低至ppb水平的污染物。

在ICP-OES中,将样品引入直径为1.5 mm的石英炬管中,然后在温度约为3000℃的等离子体中分解样品,该等离子体通过射频耦合产生,功率输出为0.5~0.7 kW。然后通过测得的紫外/可见光谱中寻找其杂质的独特的发射线来检测金属有机化合物的痕量杂质。ICP-MS与ICP-OES相比,其优势在于无需对每种杂质进行单独的光谱分析,而是可以通过每种杂质元素独特的质谱信号来识别。

除了微量金属杂质外,碳和氧污染物的检测也很重要。前驱体中有机基团的热分解会产生碳杂质,而碳杂质是金属有机化学气相沉积(MOCVD)和CBE生长过程的不可避免的部分。碳掺入的量在很大程度上受前驱体的分子结构的影响,例如源容器或反应器入口管线中的泄漏或前驱体中的挥发性含氧杂质(如 $[\text{Me}_3\text{Al}]$ 中的 $[\text{Me}_2\text{AlOMe}]$)都可能在MOCVD工艺的各个阶段引入氧。在有源层中具有Al的光学器件中,氧是一个特别的问题,因为它会显著降低光学效率。前驱体中的有机杂质可能比金属杂质更难识别和定量,可使用傅里叶变换核磁共振和质谱法在低ppm水平检测到含有氧的有机杂质,也可以使用质谱法鉴定烃杂质。最后,在MOCVD工艺中使用的气体以及金属有机前驱体中发现的氢可以通过钝化特定的掺杂剂(如GaN中的Mg)来影响半导体层的性能。

1.7 我国发展现状及与世界先进水平的差距 每个时代都有自己的挑战,在过去的10年内,集

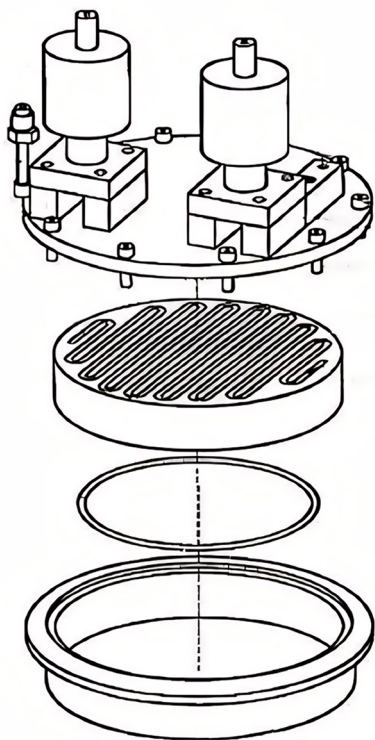


图9 单层钢瓶内部示意图(参见文献[51])

Fig. 9 Schematic of the single-layer cylinder internal (Ref. [51])

成电路逻辑芯片的挑战从平坦化到三维鳍式场效应晶体管(3D FinFET)再到现在的全环绕栅极晶体管(GAA),选择性从3:1转到了50:1;DRAM芯片从平面布局到纵向布局,再转向了多层布局,深宽比从60:1转到了100:1;3D NAND从平面转向了3D布局,再到现在的堆叠布局,深宽比从60:1转到了100:1.我国现在所处的状态是最先进逻辑芯片制程离台积电有约四代的差距,DRAM有二至三代的代差,3D NAND与国际水平相当.

2 现有前驱体的研发方向

2.1 当前面临的问题 高 k 电介质中的一个关键权衡关系是增加介电常数会导致带隙减小,而金属电极和电介质之间的势垒高度随着介电常数的增加而降低,导致介电强度的降低.当使用高 k 电介质薄膜时,与界面相关的漏电流传导对电介质中的整体漏电流传导的贡献增加.这意味着,尽管采用更高 k 值的电介质(如 ZrO_2 和 HfO_2)旨

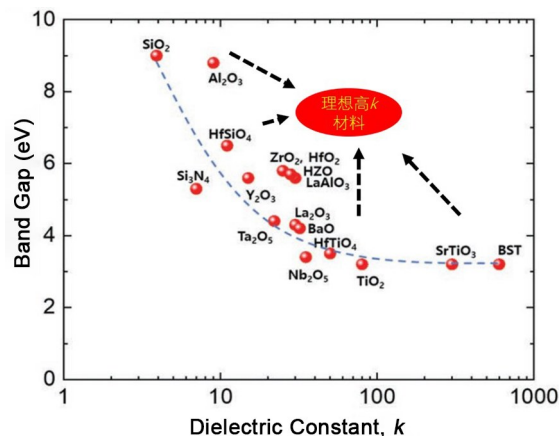
在降低漏电流,但根据已有研究结果,此类材料并未显著减少高 k 电介质中的整体漏电流,目前尚无适用于所有高 k 电介质的绝对漏电流控制方案.尽管 Al_2O_3 通常被视为抑制漏电流的通用方案,但其显著的抑制效果仅在部分高 k 电介质体系中得以实现.

此外,在高 k 电介质中,并不存在控制载流子传导机制的统一标准;相反,带隙似乎是主导载流子传导机制的关键因素.然而,与单晶 SrTiO_3 (STO)的情况类似,当窄带隙高 k 电介质存在由沉积技术引入的体缺陷时,这些缺陷相关的载流子传导机制可能成为总漏电流的主要来源.因此,为了开发有效的漏电流抑制策略,有必要预先对目标电介质的载流子传导机制进行精确评估(图10).

2.2 常用的解决方案 三元体系(掺杂)是通过掺杂,形成三元体系,利用二元体系的高 k 或者高带隙的特性,取长补短,形成理想的高 k 材料.

2.2.1 TiO_2 的氧化锆-氧化铝-氧化锆(ZAZ)掺杂法 现有两种策略减少漏电流的类ZAZ方法:(1)通过插入具有完全结晶的 ZrO_2 的 Al_2O_3 层来切断漏电路径;(2)通过使用 Al_2O_3 作为掺杂剂来最小化晶粒尺寸或形成非晶 ZrO_2 .

2.2.2 铝掺杂的 TiO_2 由于适当的Al掺杂的贡献,在这种Al掺杂的 TiO_2 (ATO)薄膜中实现了0.5 nm的最小等效氧化物厚度,这会减少漏电流 10^5 倍.

图10 下一代高 k 材料的挑战及理想的材料^[52-53]Fig. 10 Challenges and ideal materials of next-generation high- k materials^[52-53]

2.2.3 STO/SRO ($\text{SrTiO}_3/\text{SrRuO}_3$) SrTiO_3 是最有前途的介电材料之一,因为它的钙钛矿晶体结构提供了极高的介电常数($k=300$).

3 未来高 k 前驱体可能的产业发展方向

3.1 基于产业应用需求的新型镧系金属类前驱体在高 k 材料中的开发及应用^[54-56] 氧化镧(La_2O_3)由于具有一些优越的特性,如高介电常数、较大的带隙、高击穿电场强度、高电阻率、高传导偏移、低界面陷阱密度、光滑表面、与Si的晶格失配小以及高热稳定性和高化学稳定性而备受关注. 到目前为止, La_2O_3 已被广泛用于电子装置如DRAM以及在金属-绝缘体-半导体(MIS)电容器中作为氢传感器的绝缘材料等. 高 k 材料的沉积采用了多种技术,如射频溅射、电子束蒸发、脉冲激光沉积(PLD)、自旋镀膜、MOCVD和ALD. 在上述沉积方法中,由于自限性反应的性质,ALD被认为是最有前途的沉积技术之一.

3.1.1 镧系前驱体^[57-60] 图11给出了常见的镧系前驱体结构.

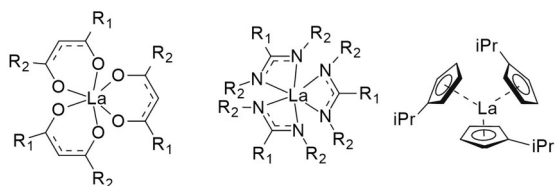


图11 镧前驱体结构通式

Fig. 11 General structural formula for lanthanum-based precursors

3.1.2 β -二酮基化合物 自20世纪早期以来,乙酰丙酮(简称为“acac”)稀土配合物就已为人所知. 但是,由于三个小的acac配体不能满足 La^{3+} 的空间需求,因此简单的 $[\text{Ln}(\text{acac})_3]_x$ 配合物通常是低聚和不挥发的. 单体 $\text{Ln}(\text{acac})_3$ 配合物可以通过加入给体路易斯碱如联吡啶(简称为“bipy”)或菲咯啉(简称为“Phen”)来制备. 吴惠霞等^[61]报道了单体 $[\text{Ln}(\text{acac})_3\text{Phen}]$ 加合配合物($\text{Ln}=\text{La}, \text{Gd}, \text{Er}$)的合成. 1965年Eisentraut and Sievers^[62]报道了携带空间要求更高的2,2,6,6-四甲基-3,5-庚二酮(简称为“thd”)配体的稀土配合物. 后来,

这些配合物在CVD和ALD工艺中得到了应用. 事实上,几乎所有的稀土氧化物都是由 $[\text{Ln}(\text{thd})_3]_x$ 前驱体通过常规或液体形式注入MOCVD沉积的. 具有较大配体的RE配合物,例如2,2,6,6-四甲基-3,5-辛二酮(简称为“tod”)的配合物 $[\text{La}(\text{tod})_3]$ 和6-乙基-2,2-二甲基-3,5-癸二酸盐 $[\text{La}(\text{EDMDD})_3]$ 也主要用于RE氧化物薄膜的LI-MOCVD. 与常规使用的thd相比,沉积过程中它们产生的杂质较少且制备出的膜纯度更高. 此外,与thd类似物相比,含有氟化 β -二酮型配体的RE前驱体显示出较好的挥发性,但是如 $[\text{La}(\text{hfac})_3]$ (“hfac”为六氟乙酰丙酮)的情况所示,MOCVD会形成非常稳定的 LaF_3 ,而不是氧化物. 基本上,RE- β -二酮化物易于制备,并且由于它们在空气中是稳定的,因此易于处理和储存. 它们的挥发性也已被充分证明,而且许多都可以在市场上买到. 然而,从化学角度来看,它们并不是理想的前驱体. 大多数从 $[\text{La}(\text{thd})_3]_x$ 上生长的MOCVD薄膜需要较高的生长温度,这可能与设备制造不兼容. 此外,薄膜通常被碳严重污染,这归因于thd基前驱体缺乏有效的热分解途径. 关于ALD,除了少数例外(Pr, Pm和Tb),所有稀土氧化物薄膜都是使用 β -二酮型化合物——thd-络合物作为金属前驱体、 O_3 作为氧源沉积的. 虽然可以在大约300℃的沉积温度下获得保形膜,但是这里的主要问题是 $[\text{La}(\text{thd})_3]_x$ 对 H_2O 的反应性低,这主要是由于 β -二酮配体碱性低,自限性ALD生长只有在使用像 O_3 这样的强氧化剂时才能实现. 然而,据报道, O_3 会与硅基底反应,形成界面 SiO_x 层,增加EOT值,并且可能限制 $[\text{Ln}(\text{thd})_3]_x/\text{O}_3$ 工艺在高 k 应用中的使用. 另一个缺点是,在 $[\text{La}(\text{thd})_3]_x/\text{O}_3$ 工艺过程中获得的生长速率相当低,通常为每周循环0.2~0.4 Å.

3.1.3 有机胺类化合物 前面讨论的稀土离子的特殊物理化学性质,没有提到简单的以单体形式存在的且挥发性好的稀土二烷基酰胺,值得注意的例外是由Bradley et al.^[63]在20世纪70年代首次报道的均配型三(双(三甲基硅烷基)氨基)稀土配合物 $[\text{La}(\text{N}(\text{SiMe}_3)_2)_3]$. 由于这类配合物合成方便,并且可以通过真空升华获得非常纯的产物,稀土硅酰胺在过去20年中作为稀土合成和材

料化学(CVD, ALD)的前驱体引起了研究者们相当大的关注. 稀土甲硅烷基酰胺前驱体的分解, LI-MOCVD(AVD)在 O_2 存在下产生 RE 硅酸盐膜, 导致其中膜的化学计量关系不能被很好地确定, 并且 Si 含量不能控制. 这表明, 尽管 $SiMe_3$ 取代基有利于提高挥发性, 但它们通常会导致沉积膜中掺入不同量的 Si, 因此, 当需要纯氧化物膜时应避免使用此类型前驱体. 关于 ALD 应用, 已经使用双(三甲基甲硅烷基)酰氨基环配合物和 H_2O 作为前驱体沉积了 LaO_x , PrO_x 和 GdO_x 薄膜. 对于 $[La(N(SiMe_3)_2)_3]/H_2O$ 过程, 不同的研究小组报告了其在 $225\sim 275\text{ }^\circ\text{C}$ 条件下生长的 LaO_x 薄膜的每个周期的厚度增长约为 $0.3\sim 4.3\text{ }\text{\AA}$. 如 Kukli et al^[64] 所述, 该过程不完全是自限性的, 这解释了使用 $[La(N(SiMe_3)_2)_3]$ 制备出的薄膜相对杂质含量高(Si: 10 at. % 和 H: 39 at. %) 的现象. 使用基于 H_2O 的 ALD 工艺沉积 PrO_x 和 GdO_x 薄膜也获得了类似的结果, 它们同样不能实现饱和 ALD 生长, 同时发现薄膜含有大量杂质(主要是 Si 和 H). 此外, 环戊二烯基类前驱体也在 ALD/CVD 工艺中得到探索, Denis et al^[65] 研究了利用三(异丙基环戊二烯基)铌 $[La(iPrCp)_3]$ 改进涂层生长工艺的方法, 用 O_3 得到的涂层更接近 LaO_x , 而用水得到的涂层则更接近氢氧化铌, 解决了 ALD 实现 LaO_x 均匀生长的问题.

3.2 基于产业应用需求的新型铌金属前驱体在高 k 材料中的开发及应用^[66] 在众多候选材料中, NbO_x 由于其独特的物理化学特性和优异的工艺兼容性, 成为新一代高 k 叠层材料的重要选择(图 12). (1) 高介电常数与低漏电流. 非晶态 NbO_x 的 k 值可达约 40, 而经过适当工艺处理后, 结晶态 NbO_x 甚至可达到近 80. 实验数据显示,

NbO_x/Al_2O_3 叠层结构可将漏电流降低至 $1\times 10^{-8}\text{ A}\cdot\text{cm}^{-2}$ 以下, 同时保持 $k>50$, 满足高密度 DRAM 电容的关键技术指标. (2) 优良的热稳定性. NbO_x 具有极高的热稳定性(熔点超过 $1500\text{ }^\circ\text{C}$), 在高温工艺条件下依然保持稳定, 不易发生热降解或结构变化. 这使其在多层沉积及后续退火处理过程中具备可靠的性能保障. (3) 良好的界面兼容性. NbO_x 与常见金属电极(如 Ru, TiN)之间的界面反应较弱, 能有效避免因界面层生成而引起的漏电流增加. 同时, 其化学惰性也有助于降低金属扩散和界面缺陷, 进一步提升器件整体性能.

新型铌金属前驱体在高 k 材料中的开发及应用核心方向是满足先进半导体与逻辑器件的需求. 五氧化二铌(Nb_2O_5)是一种高 k 介质材料. 随着晶体管微缩, 需要更高 k 值的材料来替代或与 HfO_2 等材料复合, 以在物理厚度不变的情况下获得更低的等效氧化层厚度. 开发能通过 ALD 技术在低温($<300\text{ }^\circ\text{C}$)下沉积出无定形、致密、低漏电流的 Nb_2O_5 薄膜的前驱体. 这类前驱体需要与 H_2O 或 O_3 等氧源高效反应, 并避免形成晶界等导致漏电的路径.

当前研究聚焦于新型配体设计与低温沉积工艺的开发, 其核心在于有机金属铌前驱体的配体工程. 其中, 基于脒基/胍基类铌前驱体(如 $Nb(N^iPr_2)_3$ (iPr -amd))被认为是最具潜力的发展方向之一. 这类配体具有良好的挥发性和适中的热稳定性, 可在较低温度下与 H_2O 或 O_3 实现高效反应, 实现“清洁”分解, 从而获得高纯度的 Nb_2O_5 薄膜. 此外, 含环戊二烯基类前驱体也已在 ALD/CVD 工艺中得到探索. 例如, 法液空公司报道了一种基于环戊二烯基二氮二烯配体的铌金属前驱体(如 $CpNb(tBuN)(NMe_2)_2$), 解决了现有

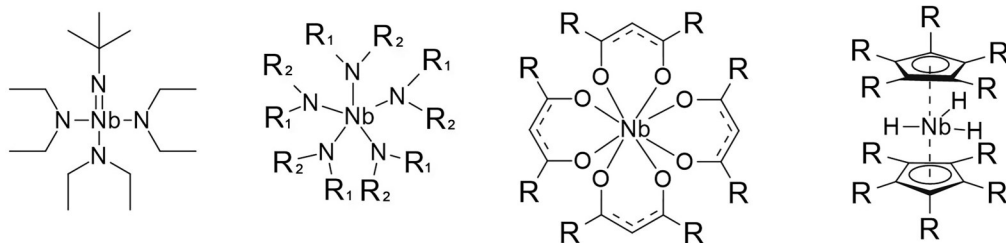


图 12 铌前驱体的结构通式

Fig. 12 General structural formula for niobium-based precursors

沉积薄膜方法中副产物形成和氧污染的问题,实现了具有改善的电学性能的高纯度、无氧金属膜,但其挥发性能与反应路径仍有待进一步优化^[67]. 总体目标是将沉积温度控制在300℃左右,以满足先进DRAM制造对热预算与器件性能的严苛要求.

3.3 基于产业应用需求的新型钼金属前驱体在高 k 材料中的开发及应用^[68-69] 钼(Mo)前驱体是一个非常重要且活跃的研究领域. 金属Mo及其碳化物、氮化物、硫化物等,在半导体、催化、能源存储和二维材料等领域展现出巨大潜力. Mo前驱体的发展方向在于克服其本身高熔点、易氧化等特性,实现在目标基底上低温、可控地沉积出高质量、特定物相(金属、碳化物、氮化物等)的薄膜或纳米结构.

在7 nm及以下技术节点,传统的Ta/TaN阻挡层由于电阻率较高且厚度难以继续微缩,成为互连电阻提升的瓶颈. Mo基薄膜(特别是 MoN_x 、 MoC_xN_y)因其极佳的阻挡性能、相对较低的电阻率和原子级薄的沉积能力,成为理想的下一代阻挡层材料. 传统的Mo前驱体如六羰基钼($\text{Mo}(\text{CO})_6$)虽然挥发性好,但热稳定性差,在低温下分解不完全,容易导致薄膜中含碳、氧杂质且呈多孔状. 产业界亟需开发新型有机金属Mo前驱体,以替代或改进 $\text{Mo}(\text{CO})_6$.

二氯二氧化钼(MoO_2Cl_2)是下一代3D NAND前驱体. 高纯度的 MoO_2Cl_2 是CVD或ALD沉积含钼膜工艺的重要前驱体,因为它具有高蒸气压、良好的热稳定性并且可以用氢气还原以形成钼膜. 使用高纯度 MoO_2Cl_2 的CVD工艺,可提供半导体工业非常需要的具有低氧含量的Mo金属膜^[70]. 鉴于Mo薄膜的低电阻率等优势,可用于第一金属层和硅基片器件之间的互连、过孔和接触,以及用于DRAM和3D NAND中的字线应用.

MoO_2Cl_2 可以通过几种不同的途径生产,例如:(1) MoO_2Cl_2 可以通过 MoO_2 与 Cl_2 在150~350℃下反应制备^[71];(2)使用 MoO_3 与干HCl反应可获得 MoO_2Cl_2 水合物($\text{MoO}_2\text{Cl}_2 \cdot \text{H}_2\text{O}$ 或 $\text{MoO}(\text{OH})_2\text{Cl}_2$),水合物可以在过量HCl存在的情况下升华而不分解;(3)通过 MoO_3 与NaCl的

反应以获得 MoO_2Cl_2 和 Na_2MoO_4 . 然而,该工艺需要相对较高的温度(500℃),并产生大量的固体副产物 $\text{Na}_2\text{MoO}_4/\text{Na}_2\text{Mo}_2\text{O}_7$. 此外,碱金属卤化物含有残余 H_2O ,可能在固体冷凝步骤期间污染所需的 MoO_2Cl_2 . 所以 H_2O 等杂质需要在前驱体使用前去除至一定浓度以下.

众所周知,晶片表面的金属污染是CMOS(Complementary Metal-Oxide-Semiconductor)集成电路产量和可靠性的严重限制因素^[72]. 这种污染会降低构成单个晶体管核心的超薄 SiO_2 栅极电介质的性能. Fe是集成电路行业中最令人不安的污染物之一. 研究表明,Fe污染会显著降低栅极氧化物的击穿电压. 通常穿透 SiO_2 界面处Fe沉淀物的形成,是导致电场击穿失败的一种常见机制. 当Fe溶解在Si中时,会产生深层,通过在任何反向偏置耗尽区产生载流子来降低器件的性能. 在双极结型晶体管中,溶解Fe产生的生成-复合中心通常会增加基极电流,降低发射极效率和基极转移系数^[73]. 因此,还需要纯化方法来生产Fe污染非常低的前驱体(如 MoO_2Cl_2).

鉴于上述情况,需要在电子/半导体工业中使用不含 H_2O 和/或基本不含 H_2O 和其他含质子杂质(ppm或更低水平)的超纯 MoO_2Cl_2 . 一种有效的方法是在压力容器(从约180℃加热到200℃)中完全熔化低纯度 MoO_2Cl_2 粉末,并用惰性气体吹扫到容器顶部空间,以去除气相中残留的HCl和其他杂质. 该容器由非腐蚀性材料制成,配备至少一个阀门,并连接到包括压力计和第二容器的金属系统.

胍基/胍基钼前驱体也是最热门的方向之一(图13). 这类前驱体如 $\text{H}_2\text{O}(\text{N}^i\text{Bu})_2(\text{}^i\text{Pr-amd})_2$ 等^[74]具有适中的挥发性、良好的热稳定性,并能与 H_2 , H_2O , O_2 , 甚至 H_2S 等反应物在较低的温度(200~400℃)下反应,沉积得到高纯度的Mo基薄膜. Currie et al^[75]合成了一种新型Mo前驱体分子——tris(N, N' -二-异丙基-2-二甲基酰胺-胍酸酯)钼(III) [$\text{Mo}(\text{}^i\text{Pr-GND})_3$]. $\text{Mo}(\text{}^i\text{Pr-GND})_3$ 表现出与作为CVD和ALD分子前体的潜在应用相称的挥发性,以 $\text{Mo}(\text{}^i\text{Pr-GND})_3$ 作为单源前驱体的概念验证气溶胶辅助CVD生长产生了 MoC_xN_y 薄膜,环戊二烯基/氧丁二烯类也被探索用于低温

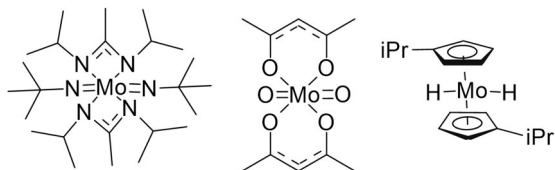


图 13 常用钼前驱体的结构

Fig. 13 Molecular structures of typical molybdenum precursors

CVD/ALD 工艺. Mo 前驱体的发展正从传统的 $\text{Mo}(\text{CO})_6$, 向一系列挥发性与稳定性俱佳、反应路径可控、产物纯净且多功能的新一代高端有机金属化合物演变, 其突破将直接推动半导体微缩、后硅电子学和清洁能源技术的进步.

3.4 基于产业应用需求的新型铈金属前驱体在高 k 材料中的开发及应用^[76] 铈前驱体因其独特的铈元素价态可变($\text{Ce}^{3+}/\text{Ce}^{4+}$)和氧储存/释放能力, 在催化、半导体、功能涂层等领域具有不可替代的作用. 其发展方向紧密围绕如何精确控制其化学状态以服务于高性能应用.

(1) 分子设计. 开发配体环境能够稳定特定价态的前驱体, 常见的铈系前驱体如图 14 所示.

(2) 稳定 Ce^{3+} . 使用具有强给电子能力和空

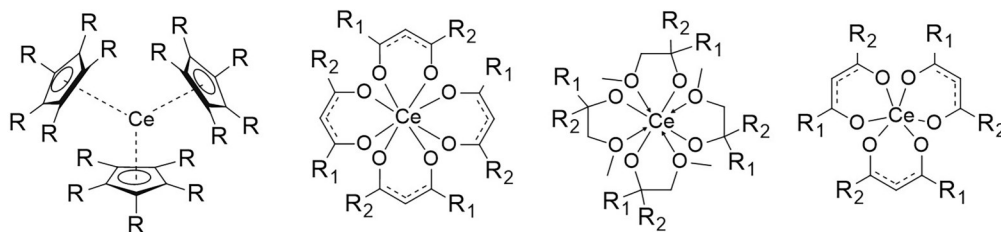


图 14 铈前驱体结构通式

Fig. 14 General structural formula for cerium-based precursors

3.5 基于产业应用需求的新型钌金属类前驱体在高 k 材料中的开发及应用^[76-77,80-82] 钌(Ru)前驱体是高端半导体和纳米技术领域的“明星”材料, 因为金属 Ru 及其氧化物具有极其优异的性能, 如低电阻率、高热稳定性、优异的黏附性, 可作为 Cu 互连的理想扩散阻挡层/衬层材料. Ru 前驱体的发展方向高度聚焦于满足先进半导体制程(7 nm 及以下)的苛刻要求, 并拓展其在新兴领域的应用. 主要方向如下.

3.5.1 满足先进互连技术的需求——低温沉积与

间位阻的配体, 防止其被氧化. 例如, 一些大位阻的环戊二烯基、脒基配体.

(3) 稳定 Ce^{4+} . 寻找在反应和沉积过程中能维持铈的最高氧化态的配体, 避免其被还原.

(4) 工艺匹配. 开发与等离子体增强 ALD、臭氧 ALD 等工艺相匹配的前驱体, 通过工艺参数(如等离子体功率、臭氧浓度)来精确调控沉积后薄膜中的价态比例.

(5) 未来产业方向. 开发具有更弱金属-配体键的新型前驱体, 使其能在低温($<100^\circ\text{C}$)下与 H_2O , O_3 等反应物高效反应, 形成高质量的氧化铈薄膜. 例如, 脒基、胍基和烯酮亚胺类铈前驱体是当前的研究热点, 它们通常比传统的 β -二酮盐前驱体具有更高的活性和挥发性^[77-78]. 江南大学丁玉强课题组提出一种以脒基铈(N-iPr-AMD)₃Ce 和 O_3 作为前体制备 ALD CeO_x 薄膜的新方法^[79]. 发现制备的薄膜具有理想的自限性沉积行为. 在 $220\sim 255^\circ\text{C}$ 下具有每轮循环 $\sim 2.8 \text{ \AA}$ 的高且恒定的生长速率. CeO_x 薄膜可以均匀且保形地沉积到深而窄的沟槽中(10:1 的高纵横比), 表明这种 ALD 工艺在基于复杂 3D 纳米结构的应用中具有良好的潜力^[79].

超保形性, 这是 Ru 前驱体发展的最核心驱动力

低温沉积能力是因为在先进芯片制造中, Ru 需要沉积在已经成型的、对温度敏感的超低 k 介质材料上. 高温过程会破坏超低 k 材料的孔洞结构, 导致其 k 值升高, 因此, 要求前驱体能在 200°C 甚至更低的温度下高效反应, 需要开发具有更高反应活性的新型前驱体. 传统的 β -二酮类钌前驱体往往需要较高的沉积温度. 当前的研究热点是脒基、烯炔/羰基等配体的 Ru 配合物, 它们具有更弱的金属-配体键, 更容易在低温下与反应物(如 O_2 ,

NH_3)发生反应. Austin et al^[83]报道了利用一种液态 Ru 前驱体前体—— η^4 -2,3-二甲基三羰基钌的 $[\text{Ru}(\text{DMBD})(\text{CO})_3]$,实现 Ru 和 RuO_2 成膜,发现与热 ALD 方法相比,等离子体增强的 ALD 法制得的 RuO_x 薄膜显示出较低的生长速率、较高的成核延迟、较低的结晶度和较高的电阻率.

超保形性与无孔洞填充是指在当今芯片内部,互连结构是深宽比极高的三维沟槽和通孔. Ru 作为阻挡层/衬层,必须实现原子级完美、无针孔、均匀的覆盖,以确保有效阻挡 Cu 原子扩散,并作为后续电镀 Cu 的种子层.

优先用于 ALD 工艺是因为原子层沉积是实现超保形性的首选技术. 因此, Ru 前驱体的开发必须优先满足 ALD 工艺的要求,即足够好的挥发性、良好的热稳定性以及快速且自限的表面反

应. 也有研究致力于开发适合超临界流体沉积的液态 Ru 前驱体,以实现无孔洞的底部向上填充.

3.5.2 新配体化学与分子设计——实现上述性能的基础 替代传统配体,即逐步淘汰或改进传统的前驱体,如三羰基钌($\text{Ru}_3(\text{CO})_{12}$)(热稳定性差、毒性大)和环戊二烯基钌($\text{Ru}(\text{EtCp})_2$)(沉积温度偏高). 使用新型配体,脒基/胍基钌前驱体是目前最有前景的方向之一,它们具有挥发性好、反应温度低、残留杂质少的优点. 氧丁二烯/烯酮亚胺类,这些配体可以通过分子内机制实现“清洁”的分解,留下高纯度的金属钌. 设计不对称配体是指通过设计拥有不同尺寸或官能团的配体,来精细调控前驱体的挥发性、稳定性和反应路径. 表3为上述薄膜材料在集成电路领域的应用汇总.

表3 薄膜材料在集成电路领域的应用汇总

Table 3 Summary of thin film materials utilized in integrated circuits

薄膜分类	薄膜	应用	常用前驱体举例
介电薄膜	HfO_x	高 k 电容层,栅极绝缘层,铁电层	HfCl_4 , CpHf , TDMAHf , TEMAHf
	ZrO_x	高 k 电容层,栅极绝缘层	ZrCl_4 , CpZr , TDMAZr , TEMAZr
	AlO_x	高 k 电容层,栅极绝缘层,阻挡层	TMA, AlCl_3
	LaO_x	高 k 电容层,偶极层	$\text{La}(\text{iPrCp})_3$, $\text{La}(\text{iPrfAMD})_3$
	NbO_x	高 k 电容层	$\text{Nb}(\text{tBuN})(\text{NEt}_2)_3$, $\text{CpNb}(\text{tBuN})(\text{NMe}_2)_2$
	CeO_x	高 k 电容层	$\text{Ce}(\text{thd})_3$
金属薄膜	TiAl, TiAlC, TiAlN	金属栅极	TiCl_4 , TMA, TEA
	TaN	扩散阻挡层	PDMAT
	Mo, MoN_x	互连金属,金属填充层	MoF_6 , MoO_2Cl_2 , MoCl_5
	Ru, RuO_x	扩散阻挡层/籽晶层,互连金属,金属电极	$\text{Ru}_3(\text{CO})_{12}$, $\text{Ru}(\text{DMBD})(\text{CO})_3$
	W, WN	金属填充层,扩散阻挡层	WF_6 , WCl_5
	Co	互连金属,扩散阻挡层,黏附层	CCTBA, $\text{CpCo}(\text{CO})_2$

4 结论

总的来说,金属前驱体的发展方向可以概括为高性能化、精准化、绿色安全化和应用多元化.

4.1 高性能化 满足先进制程的苛刻要求是最核心的驱动力,主要来自半导体芯片制造(特别是逻辑和存储芯片)向更小节点(如 3 nm, 2 nm 及以下)的演进. (1)更高的反应活性. 在 3D FinFET 或 GAA 结构上进行原子层沉积时,过高的温度会导致器件性能退化、不同材料间相互扩散. 开发具有更高反应活性的前驱体,使其能在低温(甚

至室温)下实现高效、高质量的薄膜沉积. 例如,通过分子设计引入更不稳定的配体(如酰胺基、烯炔基),或使用与等离子体增强 ALD 技术匹配的前驱体. (2)更高的挥发性与热稳定性平衡. 分子设计上,优化配体结构,在保证挥发性(分子量不能过大)的同时,提供足够的热稳定性. 液态前驱体因其更稳定的输送性能,是目前研发的重点. (3)更优异的薄膜性能. 沉积的薄膜需要具有低杂质(如 C, O, H)含量、高密度、理想的晶相、低电阻率等. 极高的纯度(如 99.9999% 以上)是基本要求,需要发展更高效的纯化技术以去除金属和

非金属杂质。(4)新型化合物探索。针对特定薄膜性能开发新型前驱体。例如,寻找能沉积更低功函数金属、更高介电常数栅极介质或更佳阻挡层材料的前驱体。

4.2 精准化与定制化——从“分子”到“器件”的精准设计 分子级结构设计中利用计算化学和机器学习,模拟前驱体分子的热力学和动力学行为,预测其挥发、分解和反应路径,从而指导合成具有特定性能的新前驱体。实现了从“试错”到“理性设计”的转变。

应用定制化是针对不同的沉积技术(ALD和CVD)、不同的基底结构(高深宽比沟槽、复杂三维结构),开发专用的前驱体。例如,对于极高深宽比的结构,需要反应活性极高、分子尺寸极小的前驱体,以确保在底部的完美覆盖。

4.3 绿色安全与可持续发展 随着环保法规日益严格和产业对可持续性的重视,前驱体的环境友好性成为重要考量。(1)替代高全球变暖潜值物质。逐步淘汰强温室气体等传统但环境不友好的前驱体,开发其替代品。例如,探索Mo、Co等金属的氟类前驱体作为W的替代方案。(2)无卤素前驱体。卤素元素(特别是F和Cl)可能对设备造成腐蚀并引入杂质。开发不含卤素的配体如脒基、胍基、烯酮亚胺等成为重要趋势,这类前驱体通常具有更好的热稳定性和更低的薄膜杂质。(3)低毒性、高稳定性。优先选择毒性更低、在空气中更稳定的化合物,以降低储存、运输和使用的风险和成本。

4.4 应用多元化——拓展至新兴领域 金属前驱体的应用正从传统的微电子向更广阔的领域扩展。存储技术的革新,具体内容如下所述。DRAM用于沉积电容器介质(如 ZrO_2 、 HfO_2)的高 k 前驱体;3D NAND用于堆叠层数越来越多的阶梯接触孔和字线的阻挡层/黏附层前驱体;新型存储用于阻变存储器、相变存储器等的新型前驱体;显示技术的OLED用于TFT背板的金属氧化物半导体(如IGZO)前驱体;Micro-LED用在巨量转移和键合过程中所需的ALD保护层、键合层前驱体。能源与催化中锂电池用于在电极材料表面沉积超薄ALD保护层,以抑制副反应、提升循环寿命;燃料电池/电解液可以用于制备高活性、高

稳定性的贵金属(如Pt、Ir、Ru)催化剂。量子计算与拓扑绝缘体领域中为这些前沿领域制备高质量、原子级精确的奇异材料薄膜,对前驱体提出了极高的纯度和反应可控性要求。

4.5 总结与展望 未来金属前驱体的发展将呈现多学科深度交叉融合的趋势,其核心进展紧密依赖于以下四大支柱:合成化学致力于制备具有特定功能的新型分子结构,工艺工程强调前驱体与沉积工艺的协同匹配与开发,分析表征方法聚焦于建立针对前驱体及其沉积过程的精准分析体系,计算模拟则为分子设计与工艺优化提供理论指导与预测。金属前驱体的发展正朝着“更精、更纯、更绿、更专”的方向迈进,它将继续作为推动尖端科技发展的关键基石材料,其突破将直接赋能下一代信息、能源和显示技术的创新。

参考文献

- [1] Cai T W. Development and future forecast of China's mobile phone industry//2022 2nd International Conference on Enterprise Management and Economic Development. Paris, FR: Atlantis Press, 2022:805—810.
- [2] Choi J H, Mao Y, Chang J P. Development of hafnium based high- k materials: A review. Materials Science and Engineering R: Reports, 2011, 72(6): 97—136.
- [3] 黄力, 黄安平, 郑晓虎, 等. 高 k 介质在新型半导体器件中的应用. 物理学报, 2012, 61(13): 137701.
- [4] Böske T S, Teichert S, Bräuhäus D, et al. Phase transitions in ferroelectric silicon doped hafnium oxide. Applied Physics Letters, 2011, 99(11): 112904.
- [5] Huang A P, Yang Z, Chu P K. Hafnium-based high- k gate dielectrics//Chu P K. Advances in Solid State Circuits Technologies. London: IntechOpen, 2010: 333—350.
- [6] Fisher G, Seacrist M R, Standley R W. Silicon crystal growth and wafer technologies. Proceedings of the IEEE, 2012, 100(Special Centennial Issue): 1454—1474.
- [7] Müller J, Yurchuk E, Schlösser T, et al. Ferroelectricity in HfO_2 enables nonvolatile data storage in 28 nm HKMG//2012 Symposium on VLSI Technology. Honolulu, HI, USA: IEEE, 2012: 25—26.
- [8] Zhang B C, Zhang B, Xiao H B, et al. Thin film

- challenges in 28 nm technology node. ECS Transactions, 2012, 44(1): 391.
- [9] Trentzsch M, Flachowsky S, Richter R, et al. A 28 nm HKMG super low power embedded NVM technology based on ferroelectric FETs//2016 IEEE International Electron Devices Meeting. San Francisco, CA, USA: IEEE. 2016: 11.5.1—11.5.4.
- [10] Srinivasan R, Dandu P V, Babu S V. Shallow trench isolation chemical mechanical planarization: A review. ECS Journal of Solid State Science and Technology, 2015, 4(11): 5029—5039.
- [11] Schmidt G C, Bellmann M, Meier B, et al. Modified mass printing technique for the realization of source/drain electrodes with high resolution. Organic Electronics, 2010, 11(10): 1683—1687.
- [12] Economikos L, Zhang X, Hwang H, et al. Al CMP for low resistance gate fill for 20 nm and beyond replacement metal gate. MRS Online Proceedings Library, 2013, 1560(1): 101.
- [13] Kessels E, Devi A, Park J S, et al. Atomic layer deposition. Nature Reviews Methods Primers, 2025, 5(1): 66.
- [14] George S M. Atomic layer deposition: An overview. Chemical Reviews, 2010, 110(1): 111—131.
- [15] Kim M S, Rogers S, Kim Y S, et al. In ALD analyses of $\text{HfCl}_4 + \text{O}_3$ and $\text{HfCl}_4 + \text{H}_2\text{O}$ by mass spectroscopy. ECS Meeting Abstracts, 2006, 14 (MA2005-01): 666.
- [16] Blanchin M G, Canut B, Lambert Y, et al. Structure and dielectric properties of HfO_2 films prepared by a sol-gel route. Journal of Sol-gel Science and Technology, 2008, 47(2): 165—172.
- [17] Wang Z J, Kumagai T, Kokawa H, et al. Crystalline phases, microstructures and electrical properties of hafnium oxide films deposited by sol-gel method. Journal of Crystal Growth, 2005, 281(2/4): 452—457.
- [18] Wang Z J, Kumagai T, Kokawa H, et al. Preparation of hafnium oxide thin films by sol-gel method. Journal of Electroceramics, 2008, 21(1): 499—502.
- [19] Acton O, Ting G, Ma H, et al. π - σ -phosphonic acid organic monolayer/sol-gel hafnium oxide hybrid dielectrics for low-voltage organic transistors. Advanced Materials, 2008, 20(19): 3697—3701.
- [20] Cortez-Valadez M, Fierro C, Farias-Mancilla J R, et al. Comparison of HfCl_4 , HfI_4 , TEMA-Hf, and TDMA-Hf as precursors in early growing stages of HfO_2 films deposited by ALD: A DFT study. Chemical Physics, 2016, 472: 81—88.
- [21] Ren J, Lu H L, Chen W, et al. Surface reaction mechanism of atomic layer deposition of HfO_2 on Ge (100)- 2×1 : A density functional theory study. Applied Surface Science, 2006, 252(24): 8466—8470.
- [22] Nishide T, Honda S, Matsuura M, et al. Surface, structural and optical properties of sol-gel derived HfO_2 films. Thin Solid Films, 2000, 371(1/2): 61—65.
- [23] Hummers W S, Tyree Jr S Y, Yolles S, et al. Zirconium and Hafnium tetrachlorides. Inorganic Syntheses, 1953(4): 121—126.
- [24] Hopkins B S. Chapters in the chemistry of the less familiar elements, Volume 1. Champaign, IL, USA: Stipes Publishing Co, 1939.
- [25] Hala J. Halides, oxyhalides, and salts of halogen complexes of titanium, zirconium, hafnium, vanadium, niobium and tantalum. Oxford, UK: Pergamon Press, 1989.
- [26] Elinson S V, Petrov K I. Analytical chemistry of zirconium and hafnium. Ann Arbor, MI, USA: Humphrey Science Publishers, 1965.
- [27] 郑旭. 一种四氯化铪的制备方法. CN201611027347.0. 2017-05-24.
- [28] 田吉英, 李峻源, 孙权, 等. 一种一步法制备高纯四氯化铪的方法. CN202110002641.0. 2021-04-09.
- [29] 杨强文, 叶旦旺, 魏爽, 等. 一种四氯化铪的提纯方法. CN202011618933.9. 2023-11-10.
- [30] 董礼, 万欣, 徐耀中, 等. 半导体级四氯化铪的制备方法. CN202210547006.5. 2024-03-12.
- [31] Xiang J J, Li T T, Zhang Y B, et al. Investigation of TiAlC by atomic layer deposition as N type work function metal for FinFET. ECS Journal of Solid State Science and Technology, 2015, 4(12): 441—444.
- [32] Xiang J J, Ding Y Q, Du L Y, et al. Investigation of N type metal TiAlC by thermal atomic layer deposition using TiCl_4 and TEA as precursors. ECS Journal of Solid State Science and Technology, 2016, 5(5): 299—303.
- [33] Jung W J, Park J Y. Dielectric engineering to suppress cell-to-cell programming voltage interference in 3D NAND flash memory. Micromachines, 2021, 12(11): 1297.

- [34] Imamura S. High purity anhydrous aluminium chloride and process for production there of. US11887785. 2009—01—29.
- [35] 杨风春. 无水三氯化铝升华提纯制备方法. CN200710109350.1. 2008—11—26.
- [36] Kim S E, Sung J Y, Jeon J D, et al. Toward advanced high- k and electrode thin films for DRAM capacitors via atomic layer deposition. *Advanced Material Technology*, 2022, 8(20): 2200878.
- [37] Somani S, Mukhopadhyay A, Musgrave C. Atomic layer deposition of tantalum nitride using a novel precursor. *The Journal of Physical Chemistry C*, 2011, 115(23): 11507—11513.
- [38] Kwon J D, Yun J, Kang S W. Comparison of tantalum nitride films for different $\text{NH}_3/\text{H}_2/\text{Ar}$ reactant states in two-step atomic layer deposition. *Japanese Journal of Applied Physics*, 2009, 48(2R): 025504.
- [39] Jourdan N, Barbarin Y, Croes K, et al. Plasma enhanced chemical vapor deposition of manganese on low - k dielectrics for copper diffusion barrier application. *ECS Solid State Letters*, 2012, 2(3): 25.
- [40] Kwon J D, Jeong S J, Kang J W, et al. Low temperature two - step atomic layer deposition of tantalum nitride for Cu diffusion barrier. *Journal of the Electrochemical Society*, 2009, 156(11): H832.
- [41] Kim H, Lavoie C, Copel M, et al. The physical properties of cubic plasma - enhanced atomic layer deposition TaN films. *Journal of Applied Physics*, 2004, 95(10): 5848—5855.
- [42] Burton B B, Lavoie A R, George S M. Tantalum nitride atomic layer deposition using (tert-butylimido) tris (diethylamido) tantalum and hydrazine. *Journal of the Electrochemical Society*, 2008, 155(7): D508.
- [43] Kumar S, Greenslit D, Chakraborty T, et al. Atomic layer deposition growth of a novel mixed - phase barrier for seedless copper electroplating applications. *Journal of Vacuum Science Technology A: Vacuum, Surfaces, Films*, 2009, 27(3): 572—576.
- [44] Fang Z W, Aspinall H C, Odedra R, et al. Atomic layer deposition of TaN and Ta_3N_5 using pentakis (dimethylamino) tantalum and either ammonia or monomethylhydrazine. *Journal of Crystal Growth*, 2011, 331(1): 33—39.
- [45] Bae N J, Na K II, Cho H I, et al. Thermal and electrical properties of 5-nm-thick TaN film prepared by atomic layer deposition using a pentakis (ethylmethylamino) tantalum precursor for copper metallization. *Japanese Journal of Applied Physics*, 2006, 45(12R): 9072.
- [46] Kim T, Zaera F. Surface chemistry of pentakis (dimethylamido) tantalum on Ta surfaces. *The Journal of Physical Chemistry C*, 2011, 115(16): 8240—8247.
- [47] 苏州复纳电子科技有限公司. 一种五(二甲氨基)钽合成方法. CN201510982447.8. 2018—09—11.
- [48] 马建修, 靖宇, 王新鹏, 等. 一种五氯化钨的制备方法. CN201810269194.3. 2019—12—31.
- [49] 董兴玉, 刘民, 李云. 一种半导体用前驱体材料包装容器. CN202121984118.4. 2022—03—15.
- [50] 谈益强, 朱梦玉, 薛剑. 一种固态前驱体源存储升华器. CN202111070284.8. 2023—08—11.
- [51] Makarenko A M, Struchevskaya A Y, Pishchur D P, et al. Sublimation and condensed phase thermodynamics of tetrakis (2, 2, 6, 6-tetramethyl-3, 5-heptanedionato) Cerium(IV) as a volatile precursor for ceria - based materials. *Journal of Thermal Analysis and Calorimetry*, 2023, 148(4): 1713—1721.
- [52] Yim K, Yong Y, Lee J, et al. Novel high- k dielectrics for next - generation electronic devices screened by automated ab initio calculations. *NPG Asia Materials*, 2015(7): e190.
- [53] Jeon W. Recent advances in the understanding of high- k dielectric materials deposited by atomic layer deposition for dynamic random - access memory capacitor applications. *Journal of Materials Research*, 2020, 35(7): 775—794.
- [54] Abermann S, Bethge O, Henkel C, et al. Atomic layer deposition of $\text{ZrO}_2/\text{La}_2\text{O}_3$ high - k dielectrics on Germanium reaching 0.5 nm equivalent oxide thickness. *Applied Physics Letters*, 2009, 94: 262904.
- [55] Kim W H, Maeng W J, Moon K J, et al. Growth characteristics and electrical properties of La_2O_3 gate oxides grown by thermal and plasma - enhanced atomic layer deposition. *Thin Solid Films*, 2010, 519(1): 362—366.
- [56] Agrawal K S, Barhate V N, Patil V S, et al. Plasma-enhanced atomic layer - deposited La_2O_3 ultra - thin films on Si and 6H - SiC: A comparative study. *Applied Physics A*, 2020, 126(8): 650.
- [57] 沈应中, 王黎君, 陶弦, 等. 酰胺钨配合物的合成方

- 法及其在制备高 k 材料前驱体的应用. CN2010-10543990.5.2011-04-06.
- [58] Seppälä S, Niinistö J, Mattinen M, et al. Atomic layer deposition of lanthanum oxide with heteroleptic cyclopentadienyl - amidinate Lanthanum precursor - effect of the oxygen source on the film growth and properties. *Thin Solid Films*, 2018, 660:199-206.
- [59] 姜本艳. 基于环戊二烯基镧(III)配合物的合成及ALD应用研究. 硕士学位论文. 无锡:江南大学, 2022.
- [60] 周洪, 丁玉强. 高 k 材料镧前驱体 $\text{La}(\text{tmhd})_3$ 和 $\text{La}(\text{tmod})_3$ 的热力学及其ALD应用. *微纳电子技术*, 2023, 60(7):1047-1057.
- [61] Olkhovskii D, Ezhov I, Vishniakov P, et al. Uniform lanthanum oxide atomic layer deposition using ozone. *Journal of Vacuum Science & Technology A*, 2025, 44(1):012401.
- [62] 吴惠霞, 徐丽霞, 忻驰洋, 等. 掺杂镧、钪的铽(III)乙酰丙酮三元配合物的合成及荧光性质研究. *光谱学与光谱分析*, 2005(1):69-72.
- [63] Eisentraut K J, Sievers R E. Volatile rare earth chelates. *Journal of the American Chemical Society*, 1965, 87(22):5254-5256.
- [64] Bradley D C, Ghotra J S, Hart F A. Low co-ordination numbers in lanthanide and actinide compounds. Part I: The preparation and characterization of tris{bis(trimethylsilyl) - amido}lanthanides. *Journal of the Chemical Society, Dalton Transactions*, 1963(10):1021-1023.
- [65] Kukli K, Ritala M, Pilvi T, et al. Evaluation of a praseodymium precursor for atomic layer deposition of oxide dielectric films. *Chemistry of Materials*, 2004, 16(24):5162-5168.
- [66] Olkhovskii D, Ezhov I, Vishniakov P, et al. Uniform lanthanum oxide atomic layer deposition using ozone. *Journal of Vacuum Science & Technology A*, 2025, 44(1):012401.
- [67] Wang J C, Kao C H, Wu C H, et al. Nb_2O_5 and Ti-doped Nb_2O_5 charge trapping nano-layers applied in flash memory. *Nanomaterials*, 2018, 8(10):799.
- [68] Kim D, Lee J, Noh W. Niobium vanadium, tantalum film forming compositions and deposition of group V (FIVE) containing films using the same. WO2025019304A1. 2025.01.23.
- [69] Diskus M, Nilsena O, Fjellvåga H. Growth of thin films of molybdenum oxide by atomic layer deposition. *Journal of Materials Chemistry*, 2011, 21(3):705-710.
- [70] Hendrix E, Garland B M, Vemuri V, et al. Atomic layer deposition of MoO_x thin films using $\text{Mo}(\text{PrCp})_2\text{H}_2$ and O_3 . *Journal of Vacuum Science & Technology A*, 2023, 41(3):032409.
- [71] Lee B J, Lee K B, Cheon M H, et al. Study on the deposition characteristics of molybdenum thin films deposited by the thermal atomic layer deposition method using MoO_2Cl_2 as a precursor. *Coatings*, 2023, 13(6):1070.
- [72] Graham R L, Hepler L G. Heats of formation of molybdenum oxychlorides. *The Journal of Physical Chemistry*, 1959, 63(5):723-724.
- [73] Zhang H Y, Niu G F, Liang Q Q, et al. Extraction of drain current thermal noise in a 28 nm high- k /metal gate RF CMOS technology. *IEEE Transactions on Electron Devices*, 2018, 65(6):2393-2399.
- [74] Istratov A A, Hieslmair H, Weber E R. Iron contamination in silicon technology. *Applied Physics A*, 2000, 70(5):489-534.
- [75] Mattinen M, Wree J L, Stegmann N, et al. Atomic layer deposition of molybdenum and tungsten oxide thin films using heteroleptic imido-amidinato precursors: Process development, Film characterization, and gas sensing properties. *Chemistry of Materials*, 2018, 30(23):8690-8701.
- [76] Currie T M, Brodie A W, Javier-Jiménez D R, et al. Expanding the scope of $\text{Mo}(\text{III})$ precursor molecules for vapor phase growth of Mo-based materials: $\text{Mo}(\text{III})$ guanidinate. *Chemistry*, 2025, 31(37):e202500244.
- [77] Zhao W Y, Zhou H, Li J H, et al. Atomic layer deposition of CeO_2 film with a novel heteroleptic $\text{Ce}(\text{III})$ complex. *Molecules*, 2024, 29(13):2987.
- [78] Maeng W J, Oh I K, Kim W H, et al. Atomic layer deposition of $\text{CeO}_2/\text{HfO}_2$ gate dielectrics on Ge substrate. *Applied Surface Science*, 2014, 321:214-218.
- [79] Makarenko A M, Struchevskaya A Y, Pishchur D P, et al. Sublimation and condensed phase thermodynamics of tetrakis(2,2,6,6-tetramethyl-3,5-heptanedionato) Cerium(IV) as a volatile precursor for ceria-based materials. *Journal of Thermal Analysis and Calorimetry*, 2023, 148(4):1713-1721.

- [80] Du L Y, Wang K Y, Zhong Y P, et al. A high growth rate process of ALD CeO_x with amidinato - cerium $[(\text{N}-^i\text{Pr}-\text{AMD})_3\text{Ce}]$ and O_3 as precursors. *Journal of Materials Science*, 2020, 55(13): 5378—5389.
- [81] Hwang J M, Han S M, Yang H, et al. Atomic layer deposition of a ruthenium thin film using a precursor with enhanced reactivity. *Journal of Materials Chemistry C*, 2021, 11(9): 3820—3825.
- [82] Kotsugi Y, Han S M, Kim Y H, et al. Atomic layer deposition of Ru for replacing Cu - interconnects. *Chemistry of Materials*, 2021, 33(14): 5639—5651.
- [83] Austin D Z, Jenkins M A, Allman D, et al. Atomic layer deposition of ruthenium and ruthenium oxide using a zero-oxidation state precursor. *Chemistry of Materials*, 2017, 29(3): 1107—1115.

(责任编辑 杨贞)